VHDL에 관한 조사: Verilog와의 비교를 중심으로

20161453 전자공학과

김규래

디지털회로업계에서는 주로 VHDL, Verilog 등의 HDL을 사용하고 있다. 현재 시점에서는 전자의 업계 점유율이 더 높다[[1]](#footnote-1). VHDL과 Verilog는 같은 목적을 위해 등장한 언어이지만 언어의 설계 자체는 상이하며 사용되는 영역에도 어느 정도 차이가 있다. 하지만 최근 들어 Verilog를 통해 디지털회로설계를 하는 학교들이 증가하고 있다. VHDL을 Verilog와 비교해가며 HDL로서 어떠한 특징들이 있는지를 조사하였다.

1. VHDL의
2. Nondeterminism

Verilog의 가장 큰 비판 중에 하나는 Verilog가 비결정적 디자인을 정상적으로 제공하지 못한다는 것이다. VHDL에서는 일반적인 프로그래밍 언어에서 해당하는 변수할당과 비슷한 signal assignment statement는 기본적으로 non-blocking이라서

1. “TIOBE Programming Lanugage Index”; TIOBE; 2017-03-24 13:50. [↑](#footnote-ref-1)